

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-017867

(43)Date of publication of application : 19.01.1996

(51)Int.Cl.

H01L 21/60  
H05K 1/18  
// H05K 3/46

(21)Application number : 06-176075

(71)Applicant : SONY CORP

(22)Date of filing : 04.07.1994

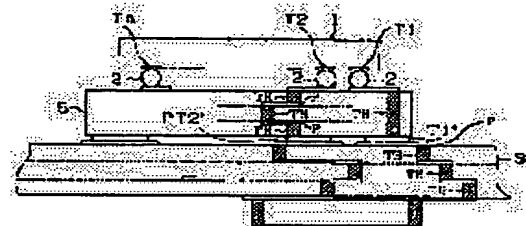
(72)Inventor : SHIMURA TOSHIYUKI

## (54) WIRING BOARD

### (57)Abstract:

**PURPOSE:** To realize a wiring board which is capable of mounting an integrated circuit part such as a flip chip or the like changing it in terminal pitch without increasing its cost.

**CONSTITUTION:** The terminals of a flip chip 1 bonded by solder to the upside of a multilayer wiring board 5 formed of material nearly equal in thermal expansion coefficient to the flip chip 1 are changed in pitch and electrically connected to the underside of the wiring board 5. Therefore, if the multilayer wiring board 5 is mounted on a multilayer printed board 3, a flip chip can be changed in terminal pitch without causing cracking to a soldered joint. By this setup, an integrated circuit part such as a flip chip or the like can be converted in terminal pitch.



## LEGAL STATUS

[Date of request for examination] 04.07.2001

[Date of sending the examiner's decision of rejection] 25.02.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-17867

(43) 公開日 平成8年(1996) 1月19日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 S	0822-4E		
H 0 5 K 1/18	L	8718-4E		
// H 0 5 K 3/46	N	6921-4E		

審査請求 未請求 請求項の数 2 F D (全 4 頁)

(21) 出願番号 特願平6-176075

(22) 出願日 平成6年(1994) 7月4日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 志村 俊幸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

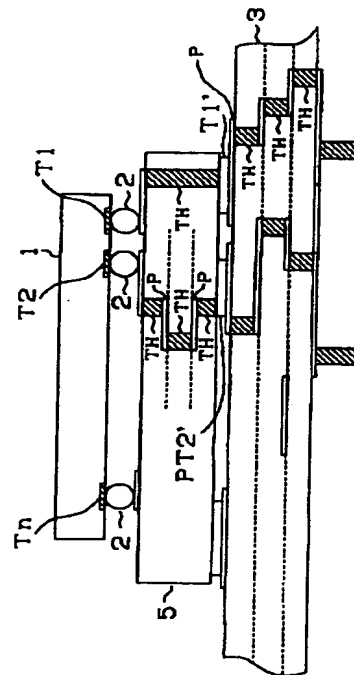
(74) 代理人 弁理士 高橋 光男

(54) 【発明の名称】 配線基板

(57) 【要約】

・【目的】 コストアップを招致することなく、フリップチップ等の集積回路部品の端子ピッチを変換させるように基板実装することができる配線基板を実現する。

・【構成】 フリップチップ1と略同等の熱膨張係数を有する材料で形成される多層配線基板5の上面側に半田接合される前記フリップチップ1の各端子のピッチを変換して当該基板5の下面側へ導通する。したがって、この多層配線基板5を多層プリント基板3上に搭載すれば、半田接合部分にクラックを発生することなく、端子ピッチを変換し得る。これにより、コストアップを招致することなく、フリップチップ等の集積回路部品の端子ピッチを変換させることが可能になる。



1

## ・【特許請求の範囲】

・【請求項1】 集積回路部品と略同等の熱膨張係数を有する材料で形成される基板であって、この基板の上面側に半田接合される前記集積回路部品の各端子のピッチを変換して当該基板の下面側へ導通することを特徴とする配線基板。

・【請求項2】 前記配線基板は、前記集積回路部品の各端子を半田バンプ接合することを特徴とする請求項1記載の配線基板。

## ・【発明の詳細な説明】

・【0001】

・【産業上の利用分野】本発明は、フリップチップ等の集積回路部品の実装に用いて好適な配線基板に関する。

・【0002】

・【従来の技術】周知のように、フリップチップ等の集積回路部品を基板実装する場合、図3および図4に示す態様で装着することが知られている。図3において、1は集積回路部品であるフリップチップ、2はこのフリップチップ1の各端子T1～Tnに対向して形成される半田バンプである。3は多層プリント基板であり、各基板層毎にパターンPが敷設される一方、このパターンP同士を電気的に接続するスルーホールTHが形成される。4は例えば、チップ部品であり、その表面側が多層プリント基板3の下面側に形成されるパターンPT1、PT2にそれぞれ対向して接続される。

・【0003】ここで、フリップチップ1と多層プリント基板3との間に形成される半田バンプ2をリフロー方式により半田付けすることで、フリップチップ1の下面側に配設された各端子T1～Tnが多層プリント基板3表面側に形成されるパターンPに接合される。端子T1～T2に着目すると、その接続経路は、パターンPおよびスルーホールTHを介して当該基板3の下面側に形成されるパターンPT1、PT2に至り、このパターンPT1、PT2とチップ部品4の対応部分が接合されることによって、プリント基板回路として動作する。この場合、図4に示すように、端子ピッチ間隔L1が狭ピッチとなる。

・【0004】

・【発明が解決しようとする課題】ところで、上述した従来の配線基板では、フリップチップ1と多層プリント基板3との間に形成される半田バンプ2をリフロー方式により半田付けする場合、フリップチップ1と多層プリント基板3との熱膨張係数が相違するため、半田バンプ2の接合部分に半田クラックが発生し易くなり、これによりフリップチップ1と多層プリント基板3との間に電気的導通不良が発生する虞が高くなるという問題がある。そこで、こうした導通不良を回避するには、多層プリント基板3を形成する基板材料を低熱膨張係数のものとするればよいが、そうした場合、コストアップを招致する問題がある。そこで本発明は、コストアップを招致

2

することなく、フリップチップ等の集積回路部品の端子ピッチを変換させるように基板実装することができる配線基板を提供することを目的としている。

・【0005】

・【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明では、集積回路部品と略同等の熱膨張係数を有する材料で形成される基板であって、この基板の上面側に半田接合される前記集積回路部品の各端子のピッチを変換して当該基板の下面側へ導通することを特徴としている。また、請求項2に記載の発明によれば、前記配線基板は、前記集積回路部品の各端子を半田バンプ接合することを特徴としている。

・【0006】

・【作用】本発明によれば、集積回路部品と略同等の熱膨張係数を有する材料で形成される基板の上面側に半田接合される前記集積回路部品の各端子のピッチを変換して当該基板の下面側へ導通する。したがって、この配線基板を他の実装回路基板上に搭載すれば、半田接合部分にクラックを発生することなく、端子ピッチを変換し得る。これにより、コストアップを招致することなく、フリップチップ等の集積回路部品の端子ピッチを変換させることが可能になる。

・【0007】

・【実施例】以下、図面を参照して本発明の実施例について説明する。図1は、本発明の一実施例による配線基板を用いた接続形態を示す断面図である。なお、この図において、図3に示す各部と共通する部分には同一の番号を付し、その説明を省略する。図1に示す実施例が図3の従来例と異なる点は、フリップチップ1と多層プリント基板3との間に多層配線基板5を設けたことにある。この多層配線基板5は、例えば、セラミック等の低熱膨張係数を有し、フリップチップ1と略同等に熱膨張する基板材料で形成されている。

・【0008】この多層配線基板5の上面（表面）側には、フリップチップ1の端子ピッチL1に合わせたパターンPが形成されており、このパターンPは基板5内部の内層パターンPおよびスルーホールTHを介して基板下面側のパターンPに導通するようになっている。この基板下面側のパターンPは、端子ピッチL1を任意に拡大するよう所定間隔で形成することが可能である。多層配線基板5の下面側のパターンPは、多層プリント基板3の実装面（上面）に半田付けされる。

・【0009】すなわち、多層プリント基板3の実装面にクリーム半田を印刷しておき、フリップチップ1を搭載した多層配線基板5を当該実装面に当接させてリフロー方式で加熱することにより、多層プリント基板3にフリップチップ1が搭載された多層配線基板5が半田接合される。なお、多層配線基板5とフリップチップ1とは、半田バンプ2をリフロー方式により半田付けされる。

・【0010】図2は、こうした半田接合による実装状態

3

を示す平面図である。多層配線基板 5 のフリップチップ搭載面には、フリップチップ 1 の端子ピッチ  $L_1$  に対応したパターン P が形成され、このパターン P は基板 5 内部の内層パターン P およびスルーホール TH を介して基板下面側のパターン P に導通するので、端子ピッチ  $L_1$  を任意の間隔  $L_2$  に拡大することが可能になる。

・【0011】しかして、上記構成によれば、フリップチップ 1 と多層プリント基板 3 との間に当該フリップチップ 1 と同等の熱膨張率の多層配線基板 5 を介在させ、この基板 5 の内層パターン P およびスルーホール TH を介して基板 5 の下面側に端子ピッチ  $L_1$  を任意の間隔  $L_2$  に拡大するパターン P を形成したので、端子ピッチを変換することが可能となり、半田バンプ 2 の接合部分に半田クラックの発生を防ぐことができる。

・【0012】しかも、この場合、多層配線基板 5 が実装される多層プリント基板 3 には、例えば、「FR-4」や「CEM-3」等の一般的な基板材料の基板が使用でき、コストアップを抑えることができる。なお、多層配線基板 5 は、低熱膨張係数の基板材料で形成するが、その基板面積が極めて小面積であることから、コストアップ要因にならない。また、このような実装態様によれば、多層プリント基板 3 上にフリップチップ 1 を直に搭載せず、多層配線基板 5 を介して実装するので、回路基板の動作チェックやフリップチップ 1 の交換作業などが容易になり、メンテナンス性に優れたものとなる。なお、多層配線基板 5 は、フリップチップ 1 のピン数や、\*

4

\*多層プリント基板 3 側のパターン配置状態により必ずしも多層構造をなす必要はない。

・【0013】

・【発明の効果】本発明によれば、集積回路部品と略同等の熱膨張係数を有する材料で形成される基板の上面側に半田接合される前記集積回路部品の各端子を、端子ピッチを変換して当該基板の下面側へ導通する。したがって、この配線基板を他の実装回路基板上に搭載すれば、半田接合部分にクラックを発生することなく、端子ピッチを変換し得るから、コストアップを招致することなく、フリップチップ等の集積回路部品の端子ピッチを変換することができる。

・【図面の簡単な説明】

・【図 1】本発明の一実施例による配線基板の構造を示す断面図である。

・【図 2】同実施例による配線形態を説明するための平面図である。

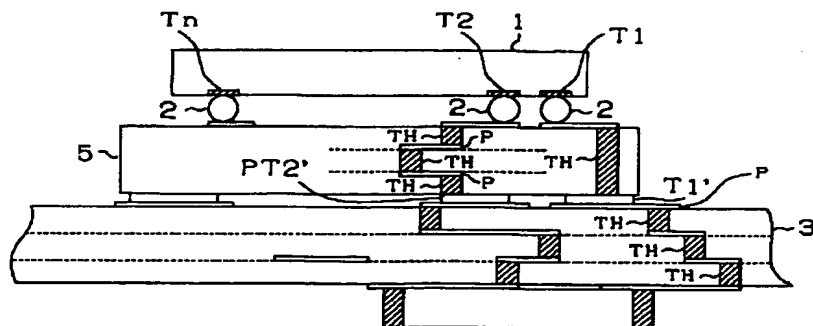
・【図 3】従来例を説明するための図である。

・【図 4】従来例を説明するための図である。

・【符号の説明】

- 1 フリップチップ（集積回路部品）
- 2 半田バンプ
- 3 多層プリント基板
- 4 チップ部品
- 5 多層配線基板（配線基板）

・【図 1】



・【図4】

